

# U 924 数字串行IO模块 用户手册

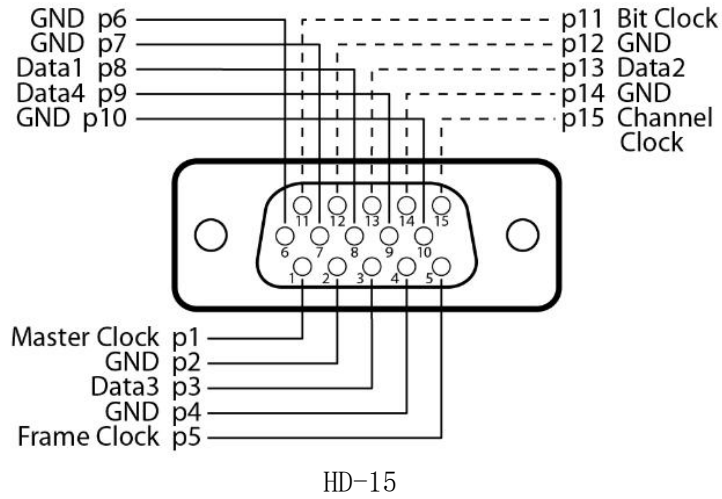
版本号：1.0

# 目录

一、 硬件说明 .....	3
二、 软件界面操作说明 .....	4

## 一、 硬件说明

1. U 924拥有1组输入和1组输出，接口类型：HD-15
  - a) 面板接口采用为HD-15;
  - b) 独立的主时钟、位时钟和帧时钟
  - c) 拥有4个Data;
  - d) 可选择信号的格式，字宽，位深



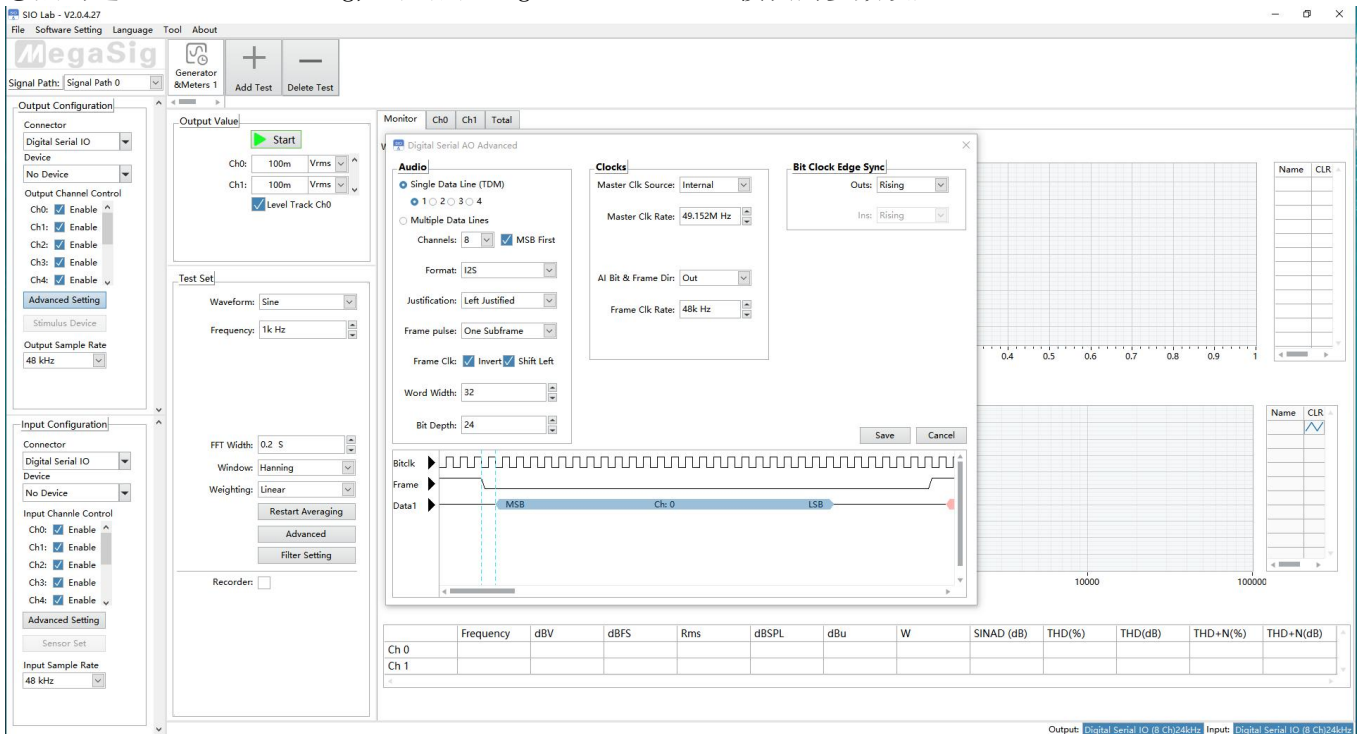
## 二、 软件界面操作说明

1. 1. 此说明为使用SIO Lab软件里DSIO模块具体说明使用，其他使用操作可参考SIO Lab手册

- ①打开SIO Lab软件，软件分为输出和输入两组配置。  
选择连接方式：Digital Serial IO，以及对应U924设备  
选择增加测试项目



②点击选Advanced Setting, 此处配置Digital Serial IO模块的参数设置



### Audio

Single Data Line:选择使用的Data数量, 可选1或2, 此处配置对应为SigmaStudio里节点的的TX/RX引脚

Channel:TDM mode 每组DATA数据传输数量, 最大为16

MSB First: 数据第一位为高位

Justification: 选择数据左/右对齐

Frame pulse width: 帧脉冲宽度

Frame invert: 帧反转

Frame shift left : 帧左移

Word width:字宽, 最高32位

Bit Depth:位深, 最高32位

### Clocks

Master Clk source:MCLK的时钟方向, 可以外部/内部

AO Bit&frame Dir:选择AO的BCLK的时钟方向

AI Bit&frame Dir:选择AO的BCLK的时钟方向 (AO和AI输出时, 只能选择其中一个OUT)

Bit Clock Edge Sync:数据和BCLK的同步方向, 可选在BCLK上升沿或者下降沿同步